



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **62022142 A**

(43) Date of publication of application: 30 . 01 . 87

(51) Int. Cl. **G06F 7/22**(21) Application number: **60160972**

(22) Date of filing: 19 . 07 . 85

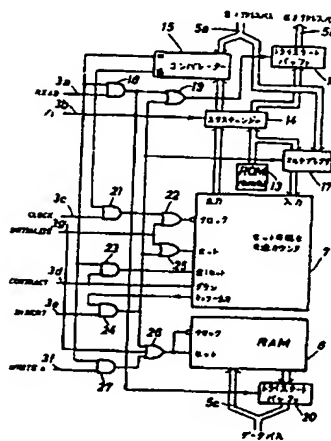
(71) Applicant: **SEKISUI CHEM CO LTD**(72) Inventor: **KINOSHITA TATSUO**(54) **STORAGE DEVICE**

(57) Abstract:

PURPOSE: To facilitate information processing without distinguishing fixed data and software data by realizing simultaneously the ease of edition intrinsic to the list processing a random access function using the significant order of data as a key.

CONSTITUTION: Data divided into words is stored in an address of a RAM8 of a storage device corresponding to each address, a settable reversible counter is provided in correspondence to each address of the RAM8 to store an integral number representing the significant order of each word. The counter 7 adds a prescribed positive or negative value to a value being an integral number or over designated externally. Further, an address name or an integral number is inputted with designation to the counter 7 through the 1st address bus 5a and the integral number or the address name is outputted from the 2nd address bus 5b. Further, the counter 7 and the RAM8 are controlled by various internal signal lines 3aW3f to connect a data bus 5c to the RAM8. Then the edition intrinsic to the list processing is facilitated.

COPYRIGHT: (C)1987,JPO&Japio



⑤ Int.Cl.⁴

G 06 F 7/22

識別記号

庁内整理番号

L-7313-5B

⑬ 公開 昭和62年(1987)1月30日

審査請求 未請求 発明の数 1 (全10頁)

⑭ 発明の名称 記憶装置

⑰ 特 願 昭60-160972

⑱ 出 願 昭60(1985)7月19日

⑲ 発 明 者 木 下 健 生

大阪府三島郡島本町百山2番2号

⑳ 出 願 人 積水化学工業株式会社

大阪市北区西天満2丁目4番4号

㉑ 代 理 人 弁理士 倉内 義朗

明 細 書

1. 発明の名称

記 憶 装 置

2. 特許請求の範囲

1) ワードに分割されたデータを該当番地に記憶しておく第1の記憶手段と、前記第1の記憶手段の各番地に対応して設けられ、前記ワードの意味上の順序を表す整数値を記憶しておく第2の記憶手段とが設けられ、該第2の記憶手段は外部から指定された整数値以上の整数値に対して、正または負の一定値を加算する機能を備え、さらに第2の記憶手段には、前記番地名若しくは整数値が指定入力される第1アドレスバスと、指定された番地名若しくは整数値に対応する整数値若しくは番地名を出力する第2アドレスバスと、指定された番地名若しくは整数値に対応する番地にワードの追加、削除の制御をするコントロールラインとが少なくとも接続され、前記第1の記憶手段には、データバスと、該データバスへ

の入出力を制御するコントロールラインとが接続されたことを特徴とする記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、データ編集に適した記憶装置に関し、例えば対話式でデータ入出力が可能な汎用電子計算機及びデータベース用計算機、データ管理システム、ワードプロセッサ、自動翻訳システム等の情報処理装置の部品として利用される。

(発明の背景)

現在、提起されている多くのプログラム言語に沿って電子計算機を利用する際、対象となるデータの大きさが固定されたいわゆる固定データである場合と、部分や全体の大きさを前もって予測できないいわゆる柔構造データである場合とでは、その扱われ方はずいぶん異なる。

固定データの代表例は、技術計算において多く使われる配列であって、このようなデータはその意味上の順序に少なからず沿って物理的な記憶場所に収められる。

一方、柔構造データは、複数の関連する要素データによって構成され、連鎖構造によるリスト処理が行われる。

しかるに、固定データの場合、ランダムアクセス機能に優れているが、データの編集の困難さがあり複雑なソフトウェアを必要とする。一方、柔構造データをリスト処理する場合には、データの編集の容易さの点で優れるが、目的のデータを得るために多数回の参照を繰り返さなければならず、ランダムアクセス機能に難点がある。

ところが、データによっては上述した固定データあるいは柔構造データと決めつけられない場合もあり、この種のデータ編集には一層の難点が生じる。すなわち、関係データベースは、全体の大きさが特定しないという意味では柔構造データであるが、個々のレコードの中に固定的な構造を持っているので、そうした固定的な構造を利用せずに常にリスト構造によって処理するのは得策でない。また、プログラム自体は作られるときには大きさの予測はできないが、実行時には大きさは固

定されていることが多い。

このような場合において、固定データと柔構造データの区別なしにある一通りの方法で、その双方のデータを取り扱うことができれば極めて便宜である。

(従来の技術)

従来、専用のハードウェアを用いて編集（ソーティング）を行うソーティングメモリ装置が一部の文献で提案されているが（IEEE TRANS. ON COMPUTERS, VOL. C-18, NO. 8, P 719 ~ 727, 1969）、このソーティングメモリ装置はデータを物理的にシフトすることによって編集機能を実現している。また、特開昭57-169848号公報において提案されているソーティングメモリ装置は、個々の要素データに対応して整数を記憶し、この整数を参照することによる内容アドレス方式である。

(発明が解決しようとする問題点)

しかるに、上述した文献に記載されたソーティングメモリ装置は、特定の要素データに固定的にアクセスする手段を有せず、また、上述した公報

に記載されたソーティングメモリ装置では、要素データの位置は物理的に固定されているがその位置の確認方法が明示されておらず、上述した（発明の背景）において述べたような種々の要望に対して十分応えることができない。

本発明はかかる点に鑑み、ランダムアクセス機能を持ちつつ、リスト構造に特有の編集の容易さを持つアドレッシングが可能な記憶装置のハードウェア構成を提供することを目的としている。

(問題点を解決するための手段)

本発明は、ワードに分割されたデータを該当番地に記憶しておく第1の記憶手段と、前記第1の記憶手段の各番地に対応して設けられ、前記ワードの意味上の順序を表す整数値を記憶しておく第2の記憶手段とが設けられ、該第2の記憶手段は外部から指定された整数値以上の整数値に対して、正または負の一定値を加算する機能を備え、さらに第2の記憶手段には、前記番地名若しくは整数値が指定入力される第1アドレスバスと、指定された番地名若しくは整数値に対応する整数値若し

くは番地名を出力する第2アドレスバスと、指定された番地名若しくは整数値に対応する番地にワードの追加、削除の制御をするコントロールラインとが少なくとも接続され、前記第1の記憶手段には、データバスと、該データバスへの入出力を制御するコントロールラインとが接続されたものである。

前記第1の記憶手段は、例えばRAMによって構成され、第2の記憶手段はセット可能な可逆カウンタによって構成されている。前記正または負の一定値は、追加、削除すべきワード数に対応する値である。

(作用)

本発明に係る作用について第1図及び第2図に示す模式図を参照して説明する。

第1図は1つのデータの挿入、削除を説明する図であり、第2図は第1図と同じことをデータの意味の順に並べかえて、見易く表示している。番地(i)は物理的な位置であり、添字によってその物理的アドレスの順序を示している。これらの

番地に対して内容 (a) がそれぞれ対応して記憶されており、同図においては内容 (A A A A), (B B B B), (C C C C), (D D D D) が意味上の順序に従う内容であり、それらの内容は該当番地名 (i) に一対一に対応して記憶されている。このとき、番地 (i.) に内容 (b b b b) を記憶させ (第1図(a)参照)、このときこの内容 (b b b b) を挿入すべき位置である内容 (B B B B) と (D D D D) の間に挿入するために、挿入すべき前の内容に一対一に対応して記憶されている整数値 (b) としての内容 (m-1) に1を加えた整数値 (m) とともに、前記内容 (b b b b) を番地 (i.) に記憶する。この番地 (i.) としては、整数値 (b) として可能な最大の値 (N-1) を保持し、内容記憶のためには利用されていない番地を用いる。このように物理的な番地は意味上の順序を示す番地に続いて記憶されるわけではないが、その代わりに整数値 (b) として意味上の順序を示す整数値 (m) に対応して内容 (b b b b) を記憶させる。このような状態で整数値

に記憶されている整数値 (b_i) は (-1) カウントアップされ、意味上の順序に従って整数値 (b) が設定される。このような削除機能によって第2図において内容 (b b b b) を削除すると第1図(a)及び第2図(a)のような順序に内容及び番地が並ぶことになる。

(実施例)

以下、本発明の実施例について図面を参照して説明する。

第3図は本発明に係わる記憶装置の実施例を示し、N番地 (N=2^m) からなる記憶装置1は内部バスライン2、内部信号ライン3によって相互に接続されるとともに、インターフェース回路4を介して外部バスライン5、外部信号ライン6に接続されている。

インターフェース回路4は、第4図に示すようにゲート回路を組み合わせて構成されており、外部信号ライン6によって指令される各種指令モードに応じて、前記記憶装置1に対するコントロール信号を出力するとともにアドレス情報とデータ

(b) を内容 (a) の順序に応じて書きかえると第1図(b)及び第2図(b)のようになり、内容 (a) は意味上の順序通りになる。このとき、整数値 (m) 以上の整数値を有している整数値のそれぞれに対して (+1) カウントアップする。

このようなワードの追加は、追加すべき個所に対して第1アドレスバスによって整数値 (b) を外部指定され、その結果、当該メモリ部分が挿入すべき内容に対応する整数値 (m) 以上であるかどうかによって、すでに記憶されている整数値 (b_i) の値の加算がなされる。しかも、このような比較は第1アドレスバスから入力される信号と、当該メモリ部が有している整数値 (b_i) との比較によって行われる。このような比較結果に応じてメモリ部のそれぞれの内容が、データコントロールラインからの指令に応じてデータバスに入出力される。

一方、1つのデータを削除する場合には、例えば削除すべきメモリ部に相当する整数値 (b) を指定することによって、この指定した整数値以降

バスへの入出力制御をするものである。

このアドレス情報は、第1アドレスバス5aと第2アドレスバス5bによって入出力され、データはデータバス5cによって入出力されている。

本例で説明する第1アドレスバス5aは入力専用であり、第2アドレスバス5bは出力専用になされており、この第2アドレスバス5bは番地名 (i) 若しくは整数値 (b) を出力する。

第4図において外部信号ライン6は、ENAB L E外部信号ライン6a、READ / b外部信号ライン6b、READ / i外部信号ライン6c、INSERT a / b外部信号ライン6d、DIS PLACE a / b外部信号ライン6e、WRITE a / b外部信号ライン6f、WRITE a / i外部信号ライン6g、INITIAL I Z E外部信号ライン6hからなる8本のコントロールラインによって構成されている。なお、このように命名した外部信号ラインにおいて、(a)、(b) は記憶されている内容及び整数値、(i) は番地名をそれぞれ示している。

ENABLE外部信号ライン6aは、上述したこれらの外部信号ライン6b～6hを活性化させるための信号線である。

READ/b外部信号ライン6bは、整数値(b)を指定することによって、内部の情報を読みとる信号線であり、整数値(b)が指定されると前記第1アドレスバス5aを通じて、整数値(b)を持った番地(i)が活性化され、この番地名(i)が前記第2アドレスバス5bに出力されるとともに、この番地(i)の内容(a)がデータバス5cに出力される。

READ/i外部信号ライン6cは、番地(i)に対応して記憶されている整数値(b)と内容(a)とを読みとる信号線であり、このREAD/i命令は、番地名(i)を指令することによって、この番地名(i)に対応する番地が活性化され、該番地(i)に対応して記憶されている整数値(b)が前記第2アドレスバス5bに出力され、さらに、内容(a)がデータバス5cを通じて出力される。

指定された整数値(b)より小さい整数値(b_i)が書き込まれている場合には、当該整数値(b_i)値は変化されず、②指定された整数値(b)に該当する場合、データバス5cに当該番地の内容(a)が出力されるとともに整数値(b)に対応して内容(N-1)が書き込まれ、第2アドレスバス5bに番地名(i)が出力され、③指定された整数値(b)以上の整数値が書き込まれている場合には、当該整数値(b_i)が(-1)カウントアップされて($b_i - 1$)になる。

WRITE a/b外部信号ライン6fは、整数値(b)を持った番地に内容(a)を書き込む信号線であり、整数値(b)を持った番地が前記第1アドレスバス5aを介して外部から指令されると整数値(b)を持った番地が活性化され、データバス5cを通じて外部から指定される内容(a)が書き込まれる。

WRITE a/i外部信号ライン6gは、第1アドレスバス5aを通じて外部から指定される番地名(i)に対応する番地が活性化され、データ

INSERT a/b外部信号ライン6dは、整数値(b)を持つ内容(a)の挿入を行う信号線であり、第1アドレスバス5aを通じて外部から指定される整数値(b)を持つ内容(a)の挿入がなされ、このために、①指定された整数値(b)より小さい整数値(b_i)が書き込まれている場合には、当該整数値(b_i)の値は変化されず、②指定された整数値(b)以上の整数値(b_i)が書き込まれている場合には、当該整数値(b_i)が一定値(本例では(+1))カウントアップされて、($b_i + 1$)になされ、③可能な最大の整数値(N-1)が書き込まれている番地には整数値(b)及びデータバス5cに出力された内容(a)の書き込みがなされるとともに、当該番地名が第2アドレスバス5bに出力される。

DISPLACE a/b外部信号ライン6eは、前記INSERT a/b命令と逆の動作である削除機能をなす信号線であり、第1アドレスバス5aを通じて外部から指定される整数値(b)を持つ内容(a)の削除が行われる。このために①指

バス5cを通じて外部から指定される内容(a)を書き込む信号ラインである。

INITIALIZE外部信号ライン6hは、初期化をなす信号ラインで、データバス5cを通じて入力される内容(a)をすべての番地へ書き込むとともに整数値(b)を初期化する。

上述した外部信号ライン6a～6hの中でENABLE外部信号ライン6aを除く7本の信号ラインは、ENABLE外部信号ライン6aが活性化されることによって、それぞれの入力側に設けたANDゲート9a～9gによって入力可能になされている。そして、読み出しに関係する外部信号ライン6b、6c、6eはORゲート10aを介してREAD内部信号ライン3aに接続されている。

指定した番地を活性するための外部信号ライン6c、6gはORゲート10bを介して、(/i)内部信号ライン3bに接続されている。挿入及び削除の指令をなす外部信号ライン6d、6eはORゲート10cを介してCLOCK内部信号ラ

イン3 cに接続されている。また、INSERT a/b外部信号ライン6 dはINSERT内部信号ライン3 eに接続されている。データの書き込み指令制御をなす外部信号ライン6 f、6 gはORゲート10 dを介してWRITE a内部信号ライン3 fに接続されている。INITIALIZE外部信号ライン6 hはINITIALIZE内部信号ライン3 gに接続されている。第2アドレスバス5 bの出力制御をなすトライステートバッファ11 aはREAD内部信号ライン3 aとINSERT外部信号ライン6 dとの論理和をORゲート10 eによって取り、この論理和によって制御している。すなわち、INSERT指令がなされるか若しくはREAD指令がなされた場合、番地名(i)若しくは整数値(b)の値を出力させる。この番地名(i)を出力させるためには、前記READ/b外部信号ライン6 bを活性化することによってなされ、整数値(b)を出力させるためには、READ/i外部信号ライン6 cを活性化することによってなされる。さらに、データ

内部信号ライン3 c、CONTRACT内部信号ライン3 d、INSERT内部信号ライン3 e、WRITE a内部信号ライン3 f、INITIALIZE内部信号ライン3 gからなる7本のコントロールラインによって構成されている。

READ内部信号ライン3 aは、外部より指定した番地名(i)若しくは外部より指定した整数値(b)を有する番地(i)の内容(a)をデータバス5 c上に出力させるとともに、指定された番地名(i)に対応する整数値(b)若しくは指定された整数値(b)に対応する番地名(i)を前記第2アドレスバス5 b上に出力させる信号線である。

(/i)内部信号ライン3 bは、READ命令若しくはWRITE命令に付随して指定される信号線であり、第1アドレスバス5 aを通じて外部から指定される番地名(i)に対応する番地の入出力を制御する。

CLOCK内部信号ライン3 cは、可逆カウンタ7をカウントアップ若しくはカウントダウンさ

バス5 cは入出力兼用のバスであり、出力制御をなすトライステートバッファ11 bは、前記READ内部信号ライン3 aが活性されるとデータ出力可能になされ、入力データを制御するトライステートバッファ11 cは、INSERT指令とINITIALIZE指令とWRITE指令の論理和をORゲート10 fによって取り、これらの指令の内1つでも指令されるとデータ入力可能とされている。第1アドレスバス5 aはバッファ12を介して、各番地を構成する記憶装置1のそれぞれに接続されている。

次に、第5図を参照して前記記憶装置1のハードウェア構成について説明する。

第5図は1番地当りの回路構成を示し、このメモリ部の中心となるのは、前記可逆カウンタ7とRAM 8である。これらの可逆カウンタ7及びRAM 8は前記各種内部信号ライン3 a~3 fによって制御されている。

内部信号ライン3は、READ内部信号ライン3 a、(/i)内部信号ライン3 b、CLOCK

せるための信号線である。

CONTRACT内部信号ライン3 dは、前記READ内部信号ライン3 aとともに、「DISPLACE」命令をコントロールする信号を出力する信号線である。

INSERT内部信号ライン3 eは、データバス5 cに出力された内容(a)をRAM 8に取り込むとともに、第1アドレスバス5 aを通じて外部から指定される整数値(b)を可逆カウンタ7にセットする信号線である。

WRITE a内部信号ライン3 fは、データバス5 cに出力された内容(a)を読込む信号線である。

INITIALIZE内部信号ライン3 gは、前記INITIALIZE外部信号ライン6 hと同じ機能を有する信号線である。

前記可逆カウンタ7はセット可能な可逆カウンタであり、クロックの立下りでカウントアップするもので、予めダウン端子が「H」レベルになっている場合にはカウントダウンし、セット端子が

「H」レベルになっている場合には第1アドレスバス5aから入力される内容がセットされ、全1セット端子が「H」レベルになっている場合には全ビットが「H」レベルになる。また、ダウン端子と全1セット端子の双方が「H」レベルの場合には、全1セット端子の入力を優先して全ビットが「H」レベルになる。この可逆カウンタ7にセットされた整数値(b)と当該番地の番地名(i)を記憶しているROM13の出力とは、エクスチェンジ+14によってコンパレータ15及びトリステートバッファ16に対して交換出力可能となされている。エクスチェンジ+14は、2つのマルチプレクサによって構成されている。このエクスチェンジ+14は前記(/i)内部信号ライン3bが「L」レベルのときには、整数値(b)をコンパレータ15に入力し、番地名(i)をトリステートバッファ16に入力させる。一方、この(/i)内部信号ライン3bが「H」レベルのときには、整数値(b)をトリステートバッファ16に入力させ、番地名(i)をコン

パレータ15に入力させる。コンパレータ15は前記第1アドレスバス5aのビットパターンとエクスチェンジ+14から出力される整数値(b)または番地名(i)とを比較し、それらの値が等しいときに「=」端子と「≤」端子の双方を「H」レベルにし、前者が後者より小さければ、「≤」端子を「H」レベルにする。ビットパターンは全ビット「L」を最低値0、全ビット「H」を最大値(N-1)とする符号なしの2進表現として解釈している。

一方、第1アドレスバス5aから入力されるアドレス情報と前記ROM13から出力される番地名(i)とは、マルチプレクサ17を切り換えて可逆カウンタ7に入力される。このマルチプレクサ17はコントロール入力「L」レベルのときには、番地名(i)を入力させ、「H」レベルのときには第1アドレスバス5a上に活性化されるアドレス情報を入力させる。

前記READ内部信号ライン3aとコンパレータ15の「=」端子の出力はANDゲート18

によって論理積を取られ、この論理積がORゲート19を介して前記トリステートバッファ16を制御する。また、この論理積の出力はRAM8の内容を出力制御しているトリステートバッファ20をも同時に制御している。CLOCK内部信号ライン3cとコンパレータ15から出力される「≤」端子からの出力はANDゲート21によって論理積がとられ、ORゲート22を介して前記可逆カウンタ7のCLOCK端子に入力されている。前記CONTRACT内部信号ライン3dと前記コンパレータ15の「=」端子からの出力はANDゲート23によって論理積が取られ、このANDゲート23の出力が可逆カウンタ7の全1セット端子に入力されている。

また、このCONTRACT内部信号ライン3dの出力ラインはダウン端子に直接接続されている。この可逆カウンタ7からキャリアが出力されたときに前記INSERT内部信号ライン3eが活性化されているとANDゲート24を介して活性化された信号によって前記マルチプレクサ17が

制御されるとともに、ORゲート25を介して可逆カウンタ7をセットし、さらに、ORゲート26を介して前記RAM8にデータセットをなす。可逆カウンタ7をセットするためには、このようなINSERT内部信号ライン3eを活性化するほかに、前記INITIALIZE内部信号ライン3gを活性化することによっても行われ、この場合、前記RAM8のデータセットも同時に行われる。前記WRITE内部信号ライン3fが活性化されるとともに、前記コンパレータ15の「=」端子が「H」レベルになると、ANDゲート27を介してRAM8にデータセットされる。

RAM8はワードを収めるメモリであり、予めセット端子が「H」レベルの場合において、CLOCKの立下りでデータバス入力のセットが行われる。

次に、上述したハードウェア構成からなる記憶装置1において、本発明に係わる新たな機能が指令されたときの動作について説明する。

① READ/b外部信号ライン6bが活性化さ

れると、前記READ内部信号ライン3aが活性化され、前記第1アドレスバス5aによって指定される整数値(b)が第1アドレスバス5aに出力され、この整数値(b)は可逆カウンタ7から出力される整数値(b_i)とコンパレータ15によって比較され、外部から指定された整数値と同じ整数値を有している番地においては、このコンパレータ15の「=」端子から「H」レベルの信号が出力される。このため、ANDゲート18の出力が「H」レベルとなり、さらに、ORゲート19を介して前記トライステートバッファ16を開き、ROM13に記憶されている番地名(i)をエクステンジャ14を介して第2アドレスバス5bに出力させる。また、ANDゲート18の出力が「H」レベルとなるので、トライステートバッファ20を制御して、RAM8に記憶されているワードをデータバス5cに出力する。このようにして、整数値(b)を指定することによって整数値(b)に対応する番地の情報をデータバス

21及びORゲート22を介して、この可逆カウンタ7にCLOCKを供給する。この場合、キャリー出力がないならば、可逆カウンタ7の内容である整数値(b_i)のカウンタアップがおこるが、RAM8の内容の変更はなされない。一方、当該番地に対応する整数値が、値としてとり得る最大の整数(N-1)に等しい場合には、可逆カウンタ7からキャリーが出力されるので、ANDゲート24から「H」レベルの信号が出力されて、前記トライステートバッファ16及びマルチプレクサ17を制御して番地名(i)を第2アドレスバス5bに出力させるとともに、第1アドレスバス5aに出力された整数値(b)を可逆カウンタ7に出力させる。また、ORゲート26の出力が「H」レベルとなるので、データバス5cに出力されるデータを取り込み、RAM8の内容を書き変える。

- ④ DISPLACE命令が出されると、指定された整数値(b)よりも大きな整数値を有する番地では、可逆カウンタ7から当該番地に対応

5cに出力する。

- ② READ/i外部信号ライン6cが活性化されると、前記READ内部信号ライン3aと(i)内部信号ライン3bとが活性化される。このため、上述したREAD/b外部信号ライン6bを活性化した場合と異なって、エクステンジャ14を切換制御するので、可逆カウンタ7から出力される整数値(b_i)はトライステートバッファ16を介して第2アドレスバス5bに出力される。

- ③ INSERT命令によって整数値(b)の所に内容(a)を挿入する命令を出すと、指定した整数値(b)以上の番地においては、前記CLOCK内部信号ライン3cとINSERT内部信号ライン3eとが活性化され、このとき、第1アドレスバス5aから出力されるアドレス情報と可逆カウンタ7から出力される当該番地に対応する整数値(b_i)はコンパレータ15によって比較されるが、このとき「≤」端子の出力が「H」レベルとなるので、ANDゲート

する整数値(b_i)がコンパレータ15に出力され、このコンパレータ15によって第1アドレスバス5aに出力されている整数値(b)と比較されるので、「≤」端子の出力が「H」レベルとなり、CLOCK内部信号ライン3cが「H」レベルになったときにANDゲート21及びORゲート22を介して可逆カウンタ7にCLOCKを入力する。一方、このとき、前記CONTRACT内部信号ライン3dが活性化されているので、この可逆カウンタ7はカウントダウンされる。一方、指定された整数値(b)を有している番地においては、前記コンパレータ15の「=」端子と「≤」端子の双方が「H」レベルとなるので、ANDゲート23の出力が「H」レベルになり、可逆カウンタ7に値(N-1)がセットされるとともに、ANDゲート18の出力が「H」レベルとなるので、トライステートバッファ16、20の双方を開き、第2アドレスバス5bにはROM13から番地名(i)が出力され、データバス5cには

RAM 8 の内容が出力される。

- ⑤ WRIT E a / b 命令がなされると、第 1 アドレスバス 5 a に出力される整数値 (b) を有する番地では、前記コンパレータ 15 の「=」端子が「H」レベルとなり、同時に前記 WRIT E a 内部信号ライン 3 f が活性化されるので、AND ゲート 27、OR ゲート 26 を介して RAM 8 に CLOCK を供給し、データバス 5 c に出力されている内容 (a) が書き込まれる。
- ⑥ WRIT E a / i 命令がなされると、前記 (/ i) 内部信号ライン 3 b が活性化されるので、ROM 13 から番地名がエクステンジャ 14 を介してコンパレータ 15 に入力され、この番地名と第 1 アドレスバス 5 a に出力されている番地名が比較され、該当番地においてはコンパレータ 15 の「=」端子が「H」レベルとなるので、上述した WRIT E a / b 命令がなされた時に同様にデータバス 5 c に出力されているデータが RAM 8 に書き込まれる。

る場合には、ページが一杯になったとき、上述したような参照関係を明瞭に判るようにソフトウェア上の工夫をする必要がある。例えば、ワード中の 1 ビットをそのワードが番地情報を持つことを示す専用ビットとして確保する等の手段が考えられる。

(発明の効果)

以上述べたように本発明によれば、リスト処理に特有の編集の容易さと、データの意味上の順番をキーとするランダムアクセス機能とを同時に実現することができ、ひいては従来行われてきたように、固定データと柔軟構造データの扱い方を区別する必要がなくなる。その結果として、プログラムの編集と実行の動的な連係が可能となる。実行の結果をみての方法の自己修正、いわば試行錯誤ができるという点で、人工知能を構成するためにも適する。また、本発明の記憶装置によれば、プログラム言語「Fortran」等が得意とする配列の扱いも自由にできる。さらに、記憶領域の上で無駄のないディレクトリを構成することでも

- ⑦ INITIALIZE 命令がなされると、INITIALIZE 内部信号ライン 3 g が活性化されるので、全ての番地において、データバス 5 c に出力されている内容 (a) が RAM 8 に書き込まれるとともに、ROM 13 に記憶されている番地名をマルチプレクサ 17 を介して可逆カウンタ 7 に入力させ、整数値 (b) の初期化がなされる。

以上のような新たに設けた命令を通宜用いることで、各番地のワードの意味付けを自在にすることができ、データの追加、削除をハードウェア的に操作することができる。なお、各番地のワードの内容は任意であるが、意味の上で多層的な参照構造を持つデータや、プログラムの JUMP 命令などのようにデータのある位置から他の位置を参照する必要がある場合には、ある位置のワードの内容として他のワードの番地名を収めることになる。

また、本発明に係わる記憶装置 1 個分をデータの 1 つの単位 (ページ) として仮想記憶を実現す

きる。さらに、本発明のアドレッシング方法によれば、データのある決まった秩序のもとに配列させておけば、整数値を参照することによって例えば関係データベース等のワードの意味付けを把握できるので、並列処理計算機を構成する上でも極めて好ましいものである。

4. 図面の簡単な説明

第 1 図及び第 2 図は本発明に係わる記憶装置の作用を説明するための記憶内容を例示する模式図、第 3 図は同記憶装置の概略構成を示す図、第 4 図はインターフェース回路の構成を例示する回路図、第 5 図は各番地に対応する記憶装置を示す回路図である。

- | | |
|------------------|------------------|
| 1 … 記憶装置 | 2 … 内部バスライン |
| 3 … 内部信号ライン | 4 … インターフェース回路 |
| 5 … 外部バスライン | 5 a … 第 1 アドレスバス |
| 5 b … 第 2 アドレスバス | |
| 5 c … データバス | |
| 6 … 外部信号ライン | |

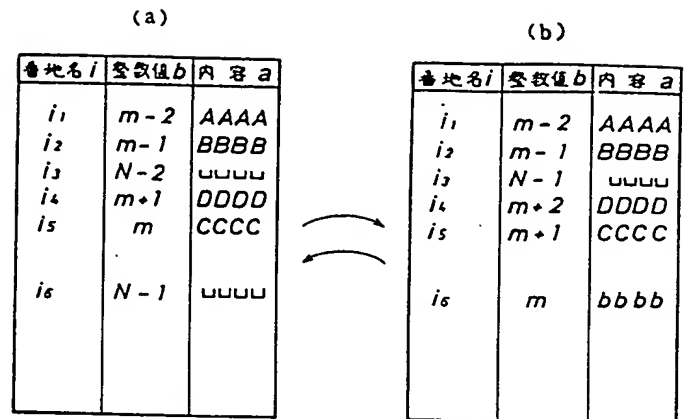
7 ... セット可能な可逆カウンタ (第2の記憶手段)

8 ... RAM (第1の記憶手段)

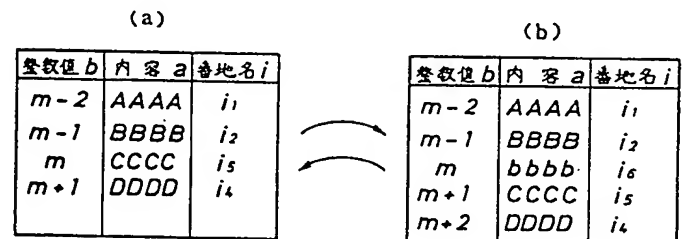
特許出願人 積水化学工業株式会社

代理人 弁理士 倉内 義 朗
明 治 大 学 出 発 所

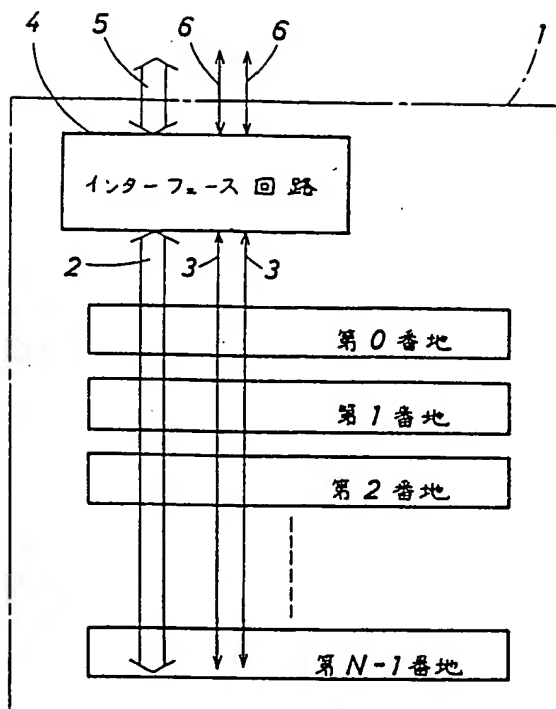
第 1 図



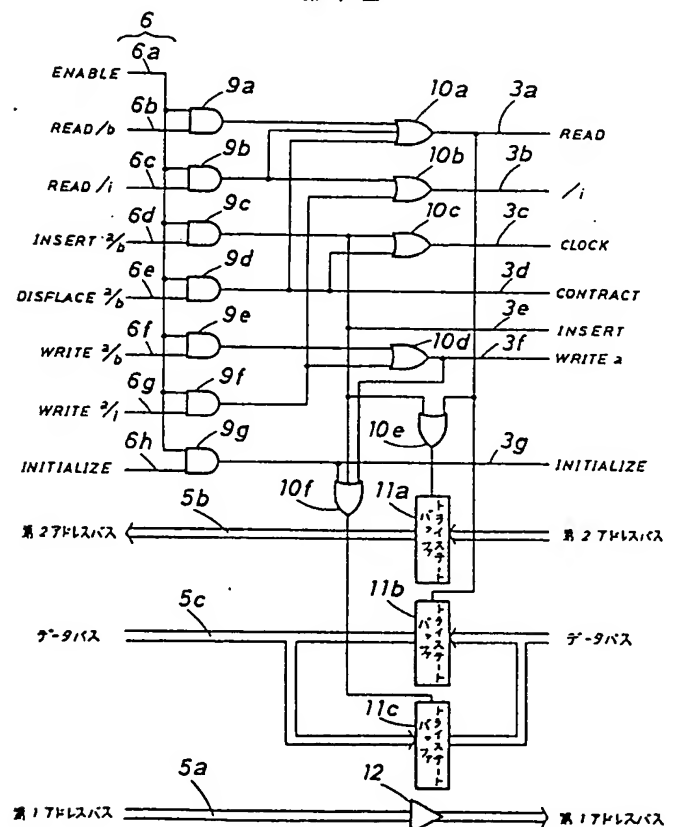
第 2 図



第 3 図



第 4 図



第5図

